



(19)

(11) Publication number: 2002252246 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2001047869

(51) Int'l. Cl.: H01L 21/60 G01R 31/26 H01L 21/3205
H01L 23/12

(22) Application date: 23.02.01

(30) Priority:

(43) Date of application
publication: 06.09.02

(84) Designated
contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: NAGAI NORIYUKI

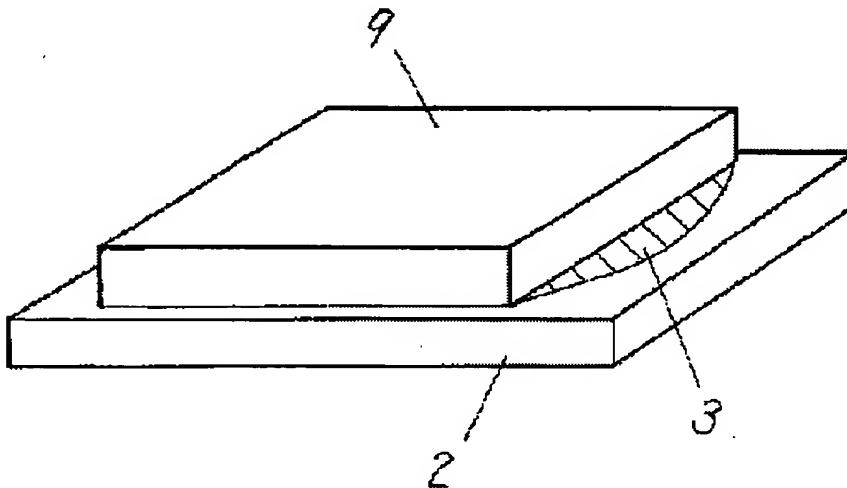
(74) Representative:

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent characteristics deterioration of a semiconductor device which is caused by the fact that a pressed-stress is directly applied to a chip, thereby, damage is concentrated to circumferential corners of the chip when inspecting the CPS type semiconductor device with the back surface of the chip exposed.

SOLUTION: The CPS type semiconductor device is provided with a carrier 2 and the semiconductor chip 9 on which an integrated circuit element and an electrode pad are formed on its surface, and a part of a wiring pattern on the carrier 2 and the extruded formed on the electrode pad surface of the semiconductor chip 9 are flip-chip-connected each other. The integrated circuit element is formed in a region except for the region of the electrode pad positioned at least at each corner of plane of the semiconductor chip 9, the integrated circuit element is not formed in the region even if a concentrated stress is applied to the circumferential corner part of the semiconductor chip when checking a semiconductor device, therefore, the semiconductor device can be inspected without deteriorating the characteristics.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-252246
(P2002-252246A)

(43) 公開日 平成14年9月6日 (2002.9.6)

(51) Int.Cl. ⁷	識別記号	F I	テ-マート [*] (参考)
H 01 L 21/60	3 1 1	H 01 L 21/60	3 1 1 Q 2 G 0 0 3
G 01 R 31/26		G 01 R 31/26	G 5 F 0 3 3
H 01 L 21/3205		H 01 L 23/12	5 0 1 B 5 F 0 4 4
23/12	5 0 1	21/88	T

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願2001-47869(P2001-47869)

(22) 出願日 平成13年2月23日(2001.2.23)

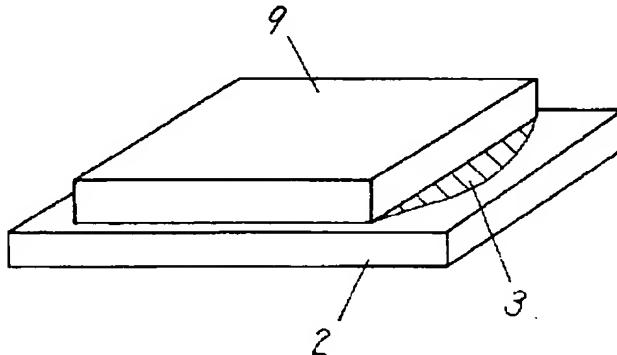
(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 永井 紀行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74) 代理人 100097445
弁理士 岩橋 文雄 (外2名)
F ターム(参考) 2G003 AA07 AD09 AG01 AG12 AH05
AH07
5F033 VV07 XX00 XX37
5F044 KK01 KK08 KK10 QQ06

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 チップの裏面が露出しているCSP型の半導体装置の検査時、押圧応力が直接にチップに印加され、チップ周辺角部にダメージが集中し、半導体装置の特性劣化となってしまう。

【解決手段】 キャリア2と、表面に集積回路素子と電極パッドとが形成された半導体チップ9とを有し、キャリア上の配線パターンの一部と半導体チップ9の電極パッド表面に形成された突起電極とがフリップチップ接続されたCSP型の半導体装置において、集積回路素子は半導体チップ9の平面の少なくとも各角部に位置する電極パッドの領域を除く領域に形成されており、半導体装置の検査時に半導体チップ周辺角部に集中応力が印加されたとしても、その領域には集積回路素子が形成されていないため、特性劣化を起こさず検査することができる。



【特許請求の範囲】

【請求項1】 表面上に配線パターンと、裏面に前記配線パターンと接続した外部端子とを有した回路基板と、表面に集積回路素子と電極パッドとが形成された半導体チップとを有し、前記回路基板の前記配線パターンの一部と前記半導体チップの表面とがフリップチップ接続されたCSP型の半導体装置であって、

前記半導体チップに形成された前記集積回路素子は、前記半導体チップの平面の少なくとも各角部に位置する電極パッドの領域を除く領域に形成されていることを特徴とする半導体装置。

【請求項2】 半導体チップに形成された集積回路素子は、前記半導体チップの平面の少なくとも各角部に位置する電極パッドとその電極パッドに隣接する電極パッドの領域を除く領域に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 半導体チップに形成された集積回路素子は、前記半導体チップの平面の少なくとも各角部から200[μm]以内の領域を除く領域に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 回路基板上にフリップチップ接続された半導体チップにおいて、前記回路基板の表面と前記半導体チップの表面との間隙には封止樹脂が充填されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置を構成している半導体チップ内における集積回路素子に関するものであり、半導体装置の電気的検査を行う際に半導体チップの周縁の集積回路素子にダメージを与えない構造を有した半導体装置に関するものである。

【0002】

【従来の技術】 従来の半導体装置としては、図3に示すようなCSP (Chip Size Package) と称されるフリップチップ実装型の半導体装置がある。

【0003】 図3に示す半導体装置は、表面の周辺部に電極パッドを有した半導体チップ1と、半導体チップ1の電極パッドと接続する配線パターンを表面に有し、裏面に配線パターンと電気的に接続したランド電極(外部端子)が配列された回路基板であるキャリア2とを有し、半導体チップ1の表面の電極パッドとキャリア2の表面の配線パターンの電極とは、電極パッド上に形成した金バンプでフリップチップ接続され、半導体チップ1とキャリア2との間隙は封止樹脂3で充填封止されているものである。

【0004】 そして図3で示した半導体装置に搭載されている半導体チップとしては、図4の平面図に示すように、集積回路素子4がその表面全域に形成されているものである。図4(a)では、電極パッド5が半導体チッ

プ1の周辺部に形成された構造(ペリフェラルパッド)を示し、図4(b)では、電極パッド5が半導体チップ1のエリア内に配列されて形成された構造(エリアパッド)を示しており、半導体チップ1表面の便宜上、斜線の領域は集積回路素子4が形成された領域を示している。

【0005】 次にフリップチップ接続された従来の半導体装置の検査について説明する。

【0006】 従来のCSP型の半導体装置の電気的特性10の検査としては、まず図5(a)に示すように、検査用測定ピン6を有した検査用ソケット7に対して、半導体装置を収納し、半導体装置のキャリア2裏面に形成されているランド電極を接触させ、電気的に導通させる。そして図5(b)に示すように、検査用ソケット7に収納された半導体装置の上方から検査用押さえ治具8により、一定加重を印加して半導体チップ1背面を押圧して電気的特性の検査を行うものである。

【0007】 なお、検査用測定ピン6は外部の検査装置テスターに接続されており、検査装置の入出力を制御することにより、半導体装置の電気的特性の検査を行うものである。また、検査用押さえ治具8は半導体装置の半導体チップ1よりも面積的に大きいものである。また、検査される半導体製品を構成する半導体チップの周縁パッド付近には電気機能素子が存在し、最周縁パッド下部には電気機能素子が存在しているものである。

【0008】

【発明が解決しようとする課題】 しかしながら前記従来の半導体装置の構成において、フリップチップ接続された半導体チップとしては、チップ自体の裏面(背面)が30露出しているため、検査用押さえ治具の押さえ面と半導体チップ背面とは直接に接触し、外部からの応力が直接にチップ背面に印加されることになる。

【0009】 例えば半導体装置の検査段階において、図6に示すように、上方から検査用押さえ治具8に一定加重を印加して半導体装置の半導体チップ1を押さえる場合、設計上は半導体チップ1背面と検査用押さえ治具8とは均一に平面と平面とで接触するが、検査用押さえ治具8の設置状態、および検査用ソケット7に収納された半導体装置の傾き等により、検査用押さえ治具8と半導40体チップ1背面とは均一に接触しな場合がある。このため、半導体チップ1の背面の周辺部に中央部よりも大きな集中応力が印加されることになる。これにより、半導体チップ1の周辺部にダメージが集中し、その周辺部に形成された集積回路素子が影響を受け、半導体装置の特性劣化となってしまう。特にこの問題は、半導体チップ1の周辺角部から200[μm]の領域、概ね半導体チップ1上の電極パッドの2個分の領域にて多発することを発明者等は確認している。

【0010】 本発明は前記従来の課題を解決するもので50あり、特にCSP型の半導体装置の半導体チップに着目

し、検査時の押さえ治具で不均一な力で押されたとしても、半導体チップの特性劣化を起こさず検査することができる半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】前記従来の課題を解決するために本発明の半導体装置は、表面に配線パターンと、裏面に前記配線パターンと接続した外部端子とを有した回路基板と、表面に集積回路素子と電極パッドとが形成された半導体チップとを有し、前記回路基板の前記配線パターンの一部と前記半導体チップの表面とがフリップチップ接続されたCSP型の半導体装置であって、前記半導体チップに形成された前記集積回路素子は、前記半導体チップの平面の少なくとも各角部に位置する電極パッドの領域を除く領域に形成されている半導体装置である。

【0012】具体的には、半導体チップに形成された集積回路素子は、前記半導体チップの平面の少なくとも各角部に位置する電極パッドとその電極パッドに隣接する電極パッドの領域を除く領域に形成されている半導体装置である。

【0013】また、半導体チップに形成された集積回路素子は、前記半導体チップの平面の少なくとも各角部から200[μm]以内の領域を除く領域に形成されている半導体装置である。

【0014】また、回路基板上にフリップチップ接続された半導体チップにおいて、前記回路基板の表面と前記半導体チップの表面との間隙には封止樹脂が充填されている半導体装置である。

【0015】前記構成の通り、本発明の半導体装置は、半導体装置の検査時に半導体チップ周辺部に集中応力が印加されたとしても、半導体チップの周辺部の特に各角部に位置する電極パッドの領域には集積回路素子が形成されていないため、半導体チップ自体への影響をなくすことができ、検査時の押さえ治具で不均一な力で押されたとしても、半導体チップの特性劣化を起こさず検査することができる半導体装置を実現できるものである。

【0016】

【発明の実施の形態】以下、本発明の半導体装置の一実施形態について図面を参照しながら説明する。

【0017】図1は本実施形態のCSP型の半導体装置を示す斜視図であり、図2は本実施形態の半導体装置の半導体チップを示す平面図であり、一部便宜上、斜線を付している。

【0018】本実施形態の半導体装置は、基本構成として図1の斜視図に示すように、表面に配線パターンと、裏面にその配線パターンと電気的に基材内部で接続したランド電極（外部端子）とを有した回路基板であるキャリア2と、表面に集積回路素子と電極パッドとが形成された半導体チップ9とを有し、キャリア上の配線パターンの一部と半導体チップ9の電極パッド表面に形成され

た金パンプ等の突起電極とがフリップチップ接続された半導体装置であって、その半導体チップ9に形成された集積回路素子は、半導体チップ9の平面の少なくとも各角部に位置する電極パッドの領域を除く領域に形成されている半導体装置である。そして半導体チップ9とキャリア2との間隙には封止樹脂3が充填封止されているものである。

【0019】本実施形態の半導体装置の半導体チップ9としては、図2に示すように、集積回路素子4がその表面に形成され、半導体チップ9の平面の少なくとも各角部に位置する電極パッド5の領域を除く領域に形成されているものである。図2(a)では、電極パッド5が半導体チップ9の周辺（周縁）部に形成された構造（ペリフェラルパッド）を示し、図2(b)では、電極パッド5が半導体チップ9のエリア内に配列されて形成された構造（エリアパッド）を示しており、半導体チップ9表面の便宜上、斜線領域は集積回路素子4が形成された領域を示している。

【0020】そして具体的には、半導体チップ9に形成された集積回路素子4は、半導体チップ9の平面の少なくとも各角部に位置する電極パッド5とその電極パッド5に隣接する電極パッド5の領域を除く領域に形成されているものである。また半導体チップ9に形成された集積回路素子4は、半導体チップ4の平面の少なくとも各角部から200[μm]以内の領域を除く領域に形成されているものである。

【0021】この半導体チップ9の各角部から200[μm]以内の領域の数値的根拠としては、半導体チップの周辺角部から200[μm]の領域に集中応力が発生することを確認しているためである。つまり、半導体装置の検査において、検査用押さえ治具と半導体チップ背面とは均一に接触しない場合があり、この場合、半導体チップの背面の周辺部に中央部よりも大きな集中応力が印加されることになる。そのため半導体チップの周辺部にダメージが集中し、その周辺部に形成された集積回路素子が影響を受け、半導体装置の特性劣化となってしまうが、発明者等は半導体チップの周辺角部から200[μm]の領域、概ね半導体チップ上の電極パッドの2個分の領域にて集中応力が多発することを確認しているものである。

【0022】また本実施形態のCSP型の半導体装置の電気的特性の検査としては、前述と同様に、検査用測定ピンを有した検査用ソケットに対して、半導体装置を収納し、半導体装置のキャリア裏面に形成されているランド電極を接触させ、電気的に導通させる。そして半導体装置の上方から検査用押さえ治具により、一定加重を印加して半導体チップ背面を押圧して電気的特性の検査を行うものである。

【0023】本実施形態の半導体装置では、半導体チップの周辺部の特に各角部に位置する電極パッドの領域に

は集積回路素子が形成されていないため、半導体装置の検査時に半導体チップ周辺部に集中応力が印加されたとしても、半導体チップ自体への影響をなくすことができ、検査時の押さえ治具で不均一な力で押さえたとしても、半導体チップの特性劣化を起こさず検査することができる半導体装置を実現できるものである。

【0024】以上、本実施形態の半導体装置は、半導体装置の特性検査の際、検査ソケットに収納し、半導体チップ面を加圧して電気的接続を得て検査するような半導体チップが露出したCSP形態の半導体装置においては、搭載する半導体チップとして、半導体チップの平面の少なくとも各角部に位置する電極パッドの領域を除く領域に集積回路素子が形成されているものを用いることにより、半導体製品を検査する際に生じる素子ダメージを低減することができる。

【0025】

【発明の効果】以上のように本発明の半導体装置は、半導体装置の検査時に半導体チップ周辺部に集中応力が印加されたとしても、半導体チップの周辺部の特に各角部に位置する電極パッドの領域には集積回路素子が形成されていないため、半導体チップ自体への影響をなくすことができ、検査時の押さえ治具で不均一な力で押さえたとしても、半導体チップの特性劣化を起こさず検査することができるものである。すなわち、半導体装置の特性検査の際、検査ソケットに収納し、半導体チップ面を加圧して電気的接続を得て検査するような半導体チップが

露出したCSP形態の半導体装置においては、搭載する半導体チップとして、半導体チップの平面の少なくとも各角部に位置する電極パッドの領域を除く領域に集積回路素子が形成されているものを用いることにより、半導体製品を検査する際に生じる素子ダメージを低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置を示す斜視図

【図2】本発明の一実施形態の半導体装置の半導体チップを示す平面図
10

【図3】従来の半導体装置を示す斜視図

【図4】従来の半導体装置の半導体チップを示す平面図

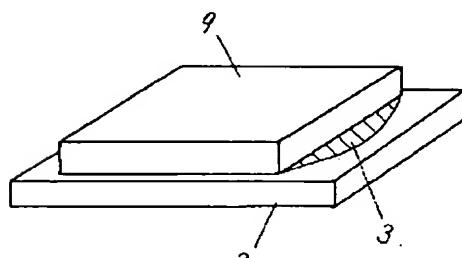
【図5】半導体装置の検査動作を示す断面図

【図6】従来の半導体装置の検査動作での課題を示す断面図
面図

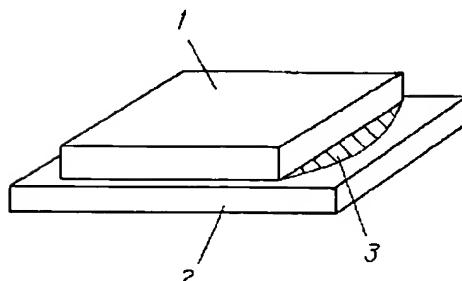
【符号の説明】

- 1 半導体チップ
- 2 キャリア
- 3 封止樹脂
- 20 4 集積回路素子
- 5 電極パッド
- 6 検査用測定ピン
- 7 検査用ソケット
- 8 検査用押さえ治具
- 9 半導体チップ

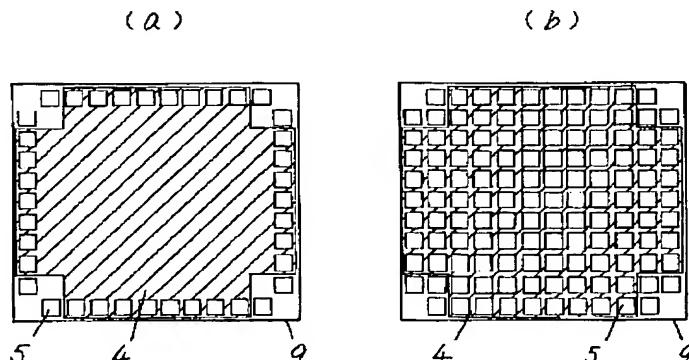
【図1】



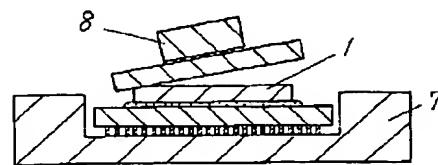
【図3】



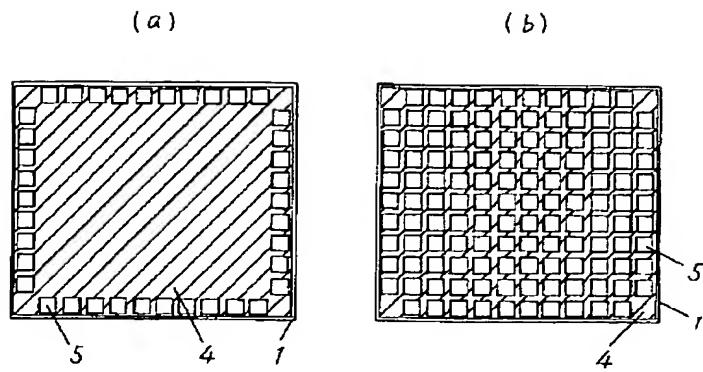
【図2】



【図6】



【図4】



【図5】

